

HS Reutlingen Fakultät Technik Leistungs- und Mikroelektronik	Modulkatalog LE Master Basierend auf der StuPrO vom 25.07.2011	Modul: LE2 Design Integrierter Analoger Schaltkreise I
--	---	---

Modultitel:	Design Integrierter Analoger Schaltkreise I
Modulnummer:	LE2
Modulbeauftragte:	Prof. Dr.-Ing. Jürgen Scheible, Prof. Dr.-Ing. Bernhard Wicht
Semester:	1
SWS:	6
ECTS:	7

Lernziele:

Die Studierenden können analoge Schaltungstechniken anwenden und sind in Theorie und Praxis zum selbstständigen Entwurf und zur Optimierung von Grundsaltungen der Mikroelektronik in der Lage. Die Studierenden wissen, welche parasitären Effekte und Ausfallmechanismen in integrierten Schaltkreisen auftreten und können wirksame Gegenmaßnahmen bestimmen und umsetzen. Darüber kennen sie aus Herstellungsverfahren und anderen Ursachen resultierenden Parameterschwankungen der Bauelemente und können daraus Maßnahmen zur Optimierung der Schaltungsfunktion ableiten.

Das Modul deckt den gesamten Entwurfsfluss ab vom Entwurf einer Schaltung bis zur Umsetzung im Layout. Theoretische Kenntnisse werden ergänzt durch praktische Übungen mit industrieüblichen Entwurfswerkzeugen zur Schaltplangabe, Schaltungssimulation, Layouterstellung und Layoutverifikation.

Der Umgang mit der Dokumentation der Entwurfswerkzeuge bildet und verbessert die Fähigkeit zum Lesen und Verstehen englischsprachiger Fachliteratur.

Zum Modul gehörende Lehrveranstaltungen:

Vorlesungen:	Design Integrierter Analoger Schaltkreise I Layoutentwurf Integrierter Schaltkreise
Praktika:	Design Integrierter Analoger Schaltkreise I Praktikum Layoutentwurf Integrierter Schaltkreise Praktikum

Prüfung: Klausur K2 und Laborarbeit/ Testat

Voraussetzungen: Grundlagen Elektrotechnik und Halbleitertechnik aus dem Bachelorstudium
Voraussetzung für: LE6, LE8, LE11, LE13

Arbeitsaufwand:

Anwesenheit in Vorlesung :	60 h
Vorbereitung und Nachbearbeitung:	90 h
Anwesenheit in Labor, Übung :	15 h
Praktikum inkl. Vorbereitung:	45 h
Gesamtzeit:	210 h

Sprache: Deutsch

Zuordnung zum Curriculum: Leistungs- und Mikroelektronik (Master)/ Pflicht
Bewertungsmodus / Erläuterung Gesamtnote: Note gem. Studien- und Prüfungsordnung

Lehrveranstaltung: Layoutentwurf Integrierter Schaltkreise

SWS: 2
ECTS: 3

Lehrform: Vorlesung

Dozent: Prof. Dr.-Ing. Jürgen Scheible

Inhalte:

- 1) Ablauf des Layoutentwurfs
 - Aufgabe des Layoutentwurfs
 - Entwurfsschritte
- 2) Halbleiterprozesse integrierter Schaltkreise
 - Grundlegende Herstellverfahren (Wdh.)
 - Der Standard-Bipolarprozess und dessen Bauelemente
 - Der Polygate-CMOS-Prozess und dessen Bauelemente
- 3) Parameterabweichungen und Gegenmaßnahmen im Layout
 - Fertigungsbedingte Abweichungen (z.B. Driften, Randeffekte)
 - Entwurfsbedingte Abweichungen (z.B. Temperaturgradienten)
 - Prinzip des Matchings und Umsetzung von Symmetrien im Analoglayout
- 4) Ausfallmechanismen und Gegenmaßnahmen im Layout
 - Überlastungsmechanismen (z.B. ESD, Elektromigration)
 - Passive Parasiten
 - Aktive Parasiten (Oberflächeneffekte, Substrateffekte)
- 5) Spezielle Methoden und Strategien
 - Konzepte für das Floorplanning
 - Hierarchische Strukturierung eines Entwurfs
 - Verdrahtungskonzepte (z.B. Powerrouting, Sternverdrahtung)
 - Layoutmaßnahmen für Labormuster
 - Abgleichverfahren
- 6) Verifikation im Layout
 - Verifikation der Entwurfsregeln (DRC - Design Rule Check)
 - Verifikation der Netzlistenkonsistenz (LVS - Layout versus Schematic Check)
 - Parasitenextraktion (PEX – Parasitic Extraction)

Skripte/Medien: Vorlesungsskript, Folien, Tafelanschrieb

Literatur: A. Hastings: The Art of Analog Layout, Second Edition, Pearson / Prentice Hall.
K.-H. Cordes, A. Waag, N. Heuck: Integrierte Schaltungen, Pearson Studium.

Lehrveranstaltung: Layoutentwurf Integrierter Schaltkreise Praktikum

SWS: 1
ECTS: 1

Lehrform: Praktikum am Rechner

Dozent: Prof. Dr.-Ing. Jürgen Scheible

Inhalte:

- 1) Übungen zur Nutzung der Entwurfsumgebung (Cadence Virtuoso XL, Assura)
- 2) Handentwurf einer einfachen Layoutanordnung, Verifikation mit LVS
- 3) Layoutentwurf ausgewählter Schaltungsblöcke der im Modul behandelten Schaltungen mit schaltplangetriebenen Entwurfsfluss (Virtuoso XL)
- 4) Layoutentwurf von Matchingstrukturen
- 5) Layoutentwurf eines Leistungstransistors
- 6) Verifikation von Layouts mit professionellen Werkzeugen (Cadence-Assura oder Mentor-Calibre)
- 7) Erstellung von DRC-Rulefiles (Cadence-Assura oder Mentor-Calibre)

Skripte/Medien: Arbeitsblätter, Trainingsunterlagen zu Virtuoso, Cadence EDA-Entwurfsumgebung

Literatur: A. Hastings; The Art of Analog Layout, Second Edition, Pearson / Prentice Hall, Cadence User's Manual.